

Stage weken voor de opleiding Master Informatica

Titel: Automatisatie testcoverage PCBA testing

Gegevens bedrijf:

Naam: Barco

Tel:

Contactpersoon: Stages

mailadres: stages@barco.com

Adres waar de student zal werken:

Korte of lange stage: 4 weken / 6 weken

Korte beschrijving van de opdracht:

Ben jij die leergierige & praktisch ingestelde **ingenieur** geïnteresseerd in het uitwerken van een oplossing die een heel belangrijk intern proces automatiseert?

Tijdens de ontwikkelfase van nieuwe **PCBA (Printed Circuit Board Assembly)** voor onze nieuwe producten, wensen we vanaf het begin van het design deze zodanig te optimaliseren zodat tijdens high volume productie ervan de kwaliteit geborgd wordt van de aangeleverde stukken.

Hiervoor hanteren we (of laten we ontwikkelen) veelal 2 elektronische test methodes: Boundary Scan & ICT (In Circuit Test). Tijdens de massa productie van de printen worden deze testen uitgevoerd bij onze leverancier. Deze **testen** zorgen voor een PASS of een FAIL, en in het laatste geval moet de print bij de leverancier eerst hersteld worden vooraleer shipment gebeurt naar Barco.

Zoende zijn we hier zeker van toegeleverde kwaliteit & hebben we geen tijdsverlies mocht een PCBA die heel diep ingebouwd zit in het toestel defect blijken te zijn.

De defecten gaan van verkeerde bestukking, kortsluitingen, open soldures, ...

ECHTER, tijdens ontwerpfase (NPI) van deze printen in Barco is er nog geen fysisch model aanwezig bij TestEngineering om deze analyse goed te kunnen aftoetsen. Veelal is er ook weinig tijd tijdens NPI om invloed op ontwerp te kunnen doorvoeren omdat de tijdsdruk hoog is (time to market). Wijzigingen ná eerste ontwerp wordt dan ook moeilijker.

Bedoeling van deze stage is dat er vanuit schema R&D alsook PCB R&D een ***visualisatie*** gemaakt wordt van de testcoverage.

Deze visualisatie geeft in 1 oogopslag aan de testingenieur de nodige info naar tekortkomingen óf dubbele coverage (die vermeden dient, daar dit de kost nodeloos opdrijft)

Deze, door jou ontwikkelde omgeving zal ons toelaten op theoretisch niveau héél vroeg in het ontwerp reeds zeer concrete feedback te geven aan R&D naar de nodige wijzigingen om de testcoverage op termijn te verzekeren.

U bent volledig vrij, na de nodige uitleg gekregen te hebben, om een eigen omgeving, methodiek & efficiënte procedure uit te werken die de TestEngineers toelaat deze analyse te draaien.

De omgeving wordt zodanig gemaakt dat deze zeer makkelijk uitbreidbaar is (nieuwe IC's, connectoren, testenmethodieken, ...)

DATUM

Error! Reference

PAGINA

2/2

ONS KENMERK

Error! Reference source not found.

U wordt hierbij ten allentijde natuurlijk bijgestaan door uw mentor die je graag verder zal op weg helpen in dit traject waar nodig.

Er is reeds een kleine proof of concept beschikbaar waartoe gerefereerd kan worden.

Technologieën die aan bod zullen komen:

